

JP2003069008

**Title:**

**SEMICONDUCTOR SUBSTRATE, METHOD OF MANUFACTURING THE SAME, POWER CONVERTER AND ROTARY MACHINE**

**Abstract:**

**PROBLEM TO BE SOLVED:** To provide a semiconductor substrate whose crystallinity and flatness are sufficient, whose yield is high and whose high breakdown strength is realized. **SOLUTION:** The semiconductor substrate is constituted of a first Si layer 9-1 composed mainly of Si, an SiGe layer 9-4, and a second Si layer 9-3 which is interposed and installed between the Si layer 9-1 and the SiGe layer 9-4 and which covers a part as a surface layer part 9-2 on the Si layer 9-1 and containing impurities. The Si layer 9-3 prevents deterioration of the flatness of the surface layer as the SiGe layer 9-4 in such a way that the SiGe mixed crystal structure of the SiGe layer 9-4 is moved away from the impurity layer 9-2 on the Si layer 9-1. When the deterioration of the flatness is prevented, the breakdown strength of the semiconductor substrate is enhanced when used in an electronic device, and the yield of the semiconductor substrate is enhanced.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2003-69008  
(P2003-69008A)

(43) 公開日 平成15年3月7日 (2003.3.7)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード* (参考)
H 0 1 L 29/165		H 0 1 L 29/165	5 F 0 0 3
21/205		21/205	5 F 0 4 5
21/331		29/72	H
29/737			

審査請求 有 請求項の数17 O L (全 10 頁)

(21) 出願番号 特願2001-252437(P2001-252437)

(22) 出願日 平成13年8月23日 (2001.8.23)

(71) 出願人 000006208

三菱重工業株式会社

東京都千代田区丸の内二丁目5番1号

(72) 発明者 広瀬 文彦

神奈川県横浜市金沢区幸浦一丁目8番地1

三菱重工業株式会社基盤技術研究所内

(74) 代理人 100102864

弁理士 工藤 実 (外1名)

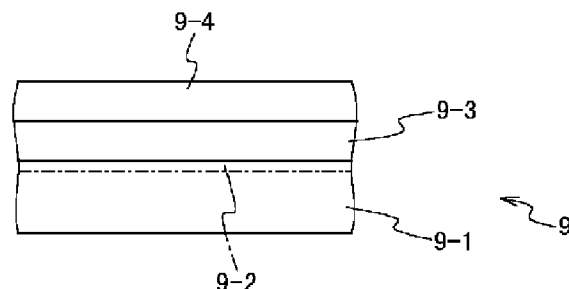
最終頁に続く

(54) 【発明の名称】 半導体基板、電力変換器、回転機械、及び、半導体基板の製造方法

(57) 【要約】

【課題】 結晶性と平坦性が十分であり、歩留まりが高く、高耐圧化を実現すること。

【解決手段】 Siが主成分である第1Si層9-1と、SiGe層9-4と、第1Si層9-1とSiGe層9-4との間に介設され、第1Si層9-1の表層部分9-2であり不純物が存在する部分を被覆する第2Si層9-3とから構成されている。第2Si層9-3は、SiGe層9-4のSiGe混晶構造を第1Si層9-1の不純物層9-2からSiGe層9-4を遠ざけていて、SiGe層9-4その表層の平坦性劣化を防止している。このような平坦性劣化の防止は、これを電子デバイスに用いたときに耐圧向上につながり、且つ、歩留まり向上につながる。



【特許請求の範囲】

【請求項1】 Si が主成分である第1 Si 層と、SiGe層と、

前記第1 Si 層と前記SiGe層との間に介設され、前記第1 Si 層の表層部分であり不純物が存在する部分を被覆する第2 Si 層とを含む半導体基板。

【請求項2】 Si が主成分である第1 Si 層の上面側に第2 Si 層が積層され、

前記第2 Si 層の上面側にSiGe層が積層され、前記第1 Si 層と前記第2 Si 層には不純物が存在する半導体基板。

【請求項3】 前記不純物の密度は、前記第2 Si 層の前記SiGe層の側の部分に存在する不純物の密度より高い請求項1又は2の半導体基板。

【請求項4】 前記不純物は炭素である請求項3の半導体基板。

【請求項5】 前記第2 Si 層の膜厚は、50オングストロームより厚い請求項1～4から選択される1請求項の半導体基板。

【請求項6】 前記SiGe層の欠陥密度は、5000個/cm<sup>2</sup>以下である請求項5の半導体基板。

【請求項7】 前記第2 Si 層の膜厚は、100オングストロームより厚い請求項1～4から選択される1請求項の半導体基板。

【請求項8】 前記SiGe層の欠陥密度は、1000個/cm<sup>2</sup>以下である請求項7の半導体基板。

【請求項9】 耐圧は280Vである請求項1～4から選択される1請求項の半導体基板。

【請求項10】 請求項1～9から選択される1請求項の半導体基板をベースとして含むトランジスタを用いた電力変換器であり、スイッチ式電源、モータ駆動電源、インバータ、同期整流器、RF電源を要素として含む集合から選択される要素として用いられる電力変換器。

【請求項11】 電磁誘導により電力の入出力を行うロータと、前記ロータに対して相対的に回転し電磁誘導により電力の入出力が行われるステータと、前記ロータに軸結合して電力の入出力を行う入出力軸と、

前記入出力軸の電力制御を行う電力変換器とを含み、前記電力変換器は、トランジスタのスイッチングにより電力を変換し、前記トランジスタは、Siが主成分である第1 Si 層と、SiGe層と、

前記第1 Si 層と前記SiGe層との間に介設され、前記第1 Si 層の表層部分であり不純物が存在する部分を被覆する第2 Si 層とを備えている電磁誘導回転機械。

【請求項12】 真空容器の中にSiが主成分であるSi

基板を導入するステップと、

前記真空容器の中で前記Si基板の表層の不純物を被覆するSi層を形成するステップと、

前記Si層にSiGe層を形成するステップを含む半導体基板の製造方法。

【請求項13】 前記第2 Si 層の膜厚は、50オングストロームより厚い請求項12の半導体基板の製造方法。

【請求項14】 前記真空容器に導入する前の前記Si基板を化学洗浄するステップを更に含む請求項12の半導体基板の製造方法。

【請求項15】 Si基板を導入する前記ステップの前記Si基板を加熱して洗浄するステップを更に含む請求項14の半導体基板の製造方法。

【請求項16】 前記Si層を形成するステップの後に前記Si基板を前記真空容器から取り出すステップと、

前記取り出すステップの後に、前記Si基板と前記SiGe層との間の接合領域の側方露出面を洗浄するステップとを更に含み、

前記接合領域の側方露出面を洗浄するステップは、ハイドロカーボンを洗浄するステップと、酸化Geを除去するステップとを備えている請求項12の半導体基板の製造方法。

【請求項17】 前記ハイドロカーボンを洗浄するステップは、前記酸化Geを除去するステップに時間的に先行し、前記ハイドロカーボンを洗浄する洗浄液は、フッ化水素酸を含み、前記酸化Geを除去する洗浄液は硫酸を含む請求項16の半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板、電力変換器、回転機械、及び、半導体基板の製造方法に関し、特に、パワートランジスタの電力損失を低減する半導体基板、電力変換器、回転機械、及び、半導体基板の製造方法に関する。

【0002】

【従来の技術】パワートランジスタは、スイッチ式電源、インバータ、同期整流器、RF電源、モータ駆動電源のような電力変換器の重要な制御素子である。このような電力変換器は、電力変換のために電力を消費する。地球環境の保全のために、特に、地球温暖化の防止のために、炭酸ガス換算電力消費量の削減が求められている。パワー素子のスイッチングの高速性と低電圧ON動作特性は、電力消費量削減のために重要な要因である。ヘテロ接合型バイポーラトランジスタ(HBT)又は電界効果型トランジスタ(MOSFET)は、高速動作する電気素子として知られ、通信、高速信号処理のために広く用いられている。動作をより高速化するために、シリコンゲルマニウム膜(SiGe膜)が形成されているヘテロ接合型バイポーラトランジスタの早期の実用化が、電力消費量削減のために求められている。SiGe膜を持つト

ランジスタは、本明細書で、SiGeトランジスタといわれる。

【0003】図10は、SiGe膜を持つヘテロ接合型バイポーラトランジスタの公知の基本的積層構造を示している。SiGe膜101は、Si基板102の上面に積層されてトランジスタのベースを形成している。SiGe膜101は、その一方面でコレクタ形成Si層103に接触し、その他方面でエミッタ形成Si層104に接触している。コレクタ電極105はSi基板102に対して形成され、エミッタ電極106はエミッタ形成Si層104に対して形成され、ベース電極107はSiGe膜101に対して形成されている。このようなSiGeトランジスタであるヘテロ接合型バイポーラトランジスタは、低入力インピーダンスのベースとすることができ、Siトランジスタに比べて、高速化が可能になっている。

【0004】SiGe膜は、SiとGeが混晶状態になっている膜であり、その結晶構造はダイヤモンド構造に似ていて、通常、50%以下のGe濃度のものが用いられている。SiGe膜は、Si基板上に膜として形成された後に加工される。SiGe膜を形成する技術として、化学気相堆積法が用いられている。図11は、化学気相堆積法を用いてSiGe膜を形成する公知の化学気相堆積装置を示している。Si基板108が真空容器109の中に導入されて基板台110に載置される。Si基板108は、基板台110に載置されたまま600°C以上の高温に加熱される。そのような加熱状態の真空容器109に、シリコン化合物ガス( $\text{SiH}_4$ 、 $\text{Si}_2\text{H}_6$ )とゲルマニウム化合物ガス( $\text{GeH}_4$ )が導入される。真空容器109の中で充満するシリコン化合物ガスとゲルマニウム化合物ガスは、適正圧力と適正温度の雰囲気中で、熱化学反応して、Si原子とGe原子がSi基板108の露出面に析出して、Si基板108にSiGe混晶膜としてSiGe膜が積層されて形成される。

【0005】このような成膜は、下記の手順の通りに実行される。Si基板108が試料交換室111から基板台110に移される。Si基板108の温度は、900~1000°Cに設定される。このような温度によるSi基板108の加熱の時間は、最大数十分程度である。このような加熱により、Si基板108の表面の酸素と炭素が除去される。このような除去は、表面清浄化の後に、Si基板108に成膜を施す温度が設定される。適正な成膜温度は、通常、600~800°Cである。成膜温度に設定された真空容器109に既述の混合ガスが導入される。成膜は、混合ガスの導入の停止、又は、温度降下により終了する。形成されたSiGe膜の膜厚は、成膜時間とガス供給圧力により調整される。SiGe膜のGe濃度は、混合ガスの混合比率により調整される。

【0006】トランジスタの高性能化と歩留まりの向上のためには、形成されるSiGe膜に欠陥がなく平坦であることが要求される。SiGe膜に存在する欠陥は、トランジスタに漏れ電流が発生する原因となり、トランジスタに用いた場合耐圧劣化につながる。平坦性が悪いことは、後工程の加工精度と歩留まりの劣化の原因になる。化学気相堆積法によるSiGe膜を形成する公知の技術には、結晶性と平坦性の点で問題があった。結晶性と平坦性とが乱れる原因として、2つの事実が知られている。その一つは、成膜時に生じる歪みである。他の一つは、表面浄化後の成膜初期表面に存在する汚れである。

【0007】膜の歪みは、SiGe膜とその下地であるSi基板とで、それらの格子定数が僅かに異なることに起因して発生する。SiGe膜はGe濃度の増大に伴ってその格子定数が増大するので、SiGe膜/Si基板の接触構造の接触界面付近で格子の伸縮が生じる。このような伸縮が、歪みの発生の原因である。歪みが生ずれば、転位といわれる結晶欠陥がSiGe膜に生じる。このような結晶欠陥は積層欠陥を誘発し、積層欠陥が生じたSiGe膜は多欠陥質になって同時に平坦性が失われる。このような積層欠陥の誘発を抑制するために、接触構造の2層間のGe濃度格差と膜厚を限定することが必要になる。欠陥の発生を抑制するGe濃度差条件と膜厚条件として、Bean等によりその調査結果がApplied Physics Letters の1989年54巻925頁に報告されている。歪みの影響に基づく結晶性と平坦性の乱れは、その条件に沿って回避され得るが、汚れの影響に基づく欠陥の発生の抑制は、依然として困難である状況にある。汚れを最小にするために実行されている成膜装置の清浄度の維持には、多大な時間が必要である。成膜初期表面の汚れとして、酸素、炭素、フッ素、金属原子のような不純物の表面付着が考えられている。不純物の低減化は、従来、成膜前に基板表面を化学洗浄した後に表面清浄化といわれる真空容器内の高温加熱処理により行われている。化学洗浄の代表例として、RCA法が知られていて、下記の通りである。

- 【0008】1. 数分間の超純水洗浄
2. 75°Cの $\text{NH}_4\text{OH}$ 、 $\text{H}_2\text{O}_2$ 、 $\text{H}_2\text{O}$ の混合溶液(比率: 1:2:7)中に数分以上浸漬する。
3. 数分間の超純水洗浄
4. 室温の1%フッ酸に数分浸漬する。
5. 数分間の超純水洗浄
6. 室温の $\text{HCl}$ 、 $\text{H}_2\text{O}_2$ 、 $\text{H}_2\text{O}$ の混合溶液(比率: 1:2:7)中に数分以上浸漬する。
7. 数分間の超純水洗浄
8. 室温の1%フッ酸に数分浸漬する。
9. 数分間の超純水洗浄
10. 室温の $\text{H}_2\text{SO}_4$ 、 $\text{H}_2\text{O}_2$ 、 $\text{H}_2\text{O}$ の混合溶液(比率: 1:2:7)中に数分以上浸漬する。

## 11. 数分間の超純水洗浄

## 12. 回転乾燥

【0009】このような化学洗浄で、成膜前の基板表面の不純物、特に、炭素不純物、金属原子、微粒子が除去される。しかし、この時点で、炭素不純物と酸素不純物はある程度に減少するが、十分には除去されていない。化学洗浄の後に、真空中で加熱処理を行って表面清浄化を施す。この表面清浄化により、酸素原子密度は、通常、 $10^{12}$  atom/cm<sup>2</sup> の程度まで低減する。炭素原子密度は、 $10^{13}$  atom/cm<sup>2</sup> の程度まで低減する。

【0010】表面清浄化はこの程度には不純物原子密度を低減させることができるが、炭素原子は十分に抑制することができない。形成される膜がSiGe膜でなくSi層である場合には、炭素原子のこの程度の残存は、積層欠陥を招かないことが知られていて、その欠陥密度は問題にならない程度の1cm<sup>2</sup> 当たり1000個より少なく抑えられていた。しかし、形成される膜がSiGe膜である場合には、表面清浄化の後の表面に炭素原子が $10^{13}$  atom/cm<sup>2</sup> の程度で存在すれば、積層欠陥が容易に発生してしまうことが経験的に知られている。このように従来の化学洗浄と表面浄化では、積層欠陥の発生を有効に抑えることは困難であった。

【0011】このような事情があつて、炭素不純物の存在密度を低減するために、従来は、成膜装置の清浄性を高くするクリーニングを繰り返し、汚染がないように細心の注意を払っている。更に、炭素を直接に除去するために、Cl<sub>2</sub>、F<sub>2</sub> のようなハロゲンガスを成膜装置に流入して、エッチング法により炭素原子を除去する試みがなされている。このような処置には、多大な装置調整時間がかかり、ハロゲンガスエッチングのような新たな装置の追加が必要であり、現実的に厄介な問題が残存している。積層欠陥は不可避であるという考えにより、表面平坦性の劣化を抑えるために、SiGe膜を薄く成形して用いることがある。SiGe膜を薄く成形して用いる場合には、そのSiGe膜は0.1μm以下に抑えられている必要がある。このように薄いSiGe膜は、小信号用途のトランジスタに用途が限定され、パワートランジスタに適用され得ない。

【0012】HBTでは、SiGe層とSi層とが直接に接合するSiGe/Si接合が、不可欠な構造として形成される。この接合構造の接合領域の結晶性と平坦性が十分であるSiGe膜積層基板を提供することが求められる。結晶性と平坦性が十分であるSiGe膜積層基板を製造する技術を確立することが重要である。結晶性と平坦性の改善により、高耐圧特性と製造における高歩留まりのメリットが得られる。結晶性と平坦性が十分であるSiGe膜積層基板を形成する成膜装置には、簡素であり歩留まりが高いことが求められる。

## 【0013】

【発明が解決しようとする課題】本発明の課題は、平坦

性が十分である半導体基板、及び、半導体基板の製造方法を提供することにある。

## 【0014】

【課題を解決するための手段】その課題を解決するための手段が、下記のように表現される。その表現中に現れる技術的事項には、括弧( )つきで、番号、記号等が添記されている。その番号、記号等は、本発明の実施の複数・形態又は複数の実施例のうちの少なくとも1つの実施の形態又は複数の実施例を構成する技術的事項、特に、その実施の形態又は実施例に対応する図面に表現されている技術的事項に付せられている参照番号、参照記号等に一致している。このような参照番号、参照記号は、請求項記載の技術的事項と実施の形態又は実施例の技術的事項との対応・橋渡しを明確にしている。このような対応・橋渡しは、請求項記載の技術的事項が実施の形態又は実施例の技術的事項に限定されて解釈されることを意味しない。

【0015】本発明による半導体基板は、Siが主成分である第1Si層(9-1)と、第1Si層(9-1)の上面側に不純物層(9-2)が存在し、不純物層(9-2)の上面側に第2Si層(9-3)が積層され、第2Si層(9-3)の上面側にSiGe層(9-4)が積層されている。不純物層(9-2)は、第1Si層(9-1)としての基板表面の汚れから発生するものであり、半導体基板を空気中に置くことで自然に発生してしまうものである。本発明による半導体基板は準備の段階で空気にさらされ自然に表面に不純物がついてしまうため、その上に第2Si層(9-3)を積層すると、不純物層(9-2)が挿入された構造になる。第2Si層(9-3)は、第1Si層(9-1)の不純物層(9-2)からSiGe層(9-4)を遠ざけていて、SiGe層(9-4)に積層欠陥が発生することを防止し、平坦性劣化を有効に防止している。このような平坦性劣化防止は、これを電子デバイス(例示：トランジスタ、ダイオード)に用いた場合、耐圧向上と歩留まりアップのメリットが得られる。第1Si層(9-1)は、真空容器に導入される以前に汚染され、除去されずに残存している表層部分(9-2)の炭素は、不純物濃度がより低い第2Si層(9-3)に被覆され閉じ込められている。

【0016】第2Si層(9-3)の膜厚は、50Åより厚いことが重要である。第2Si層(9-3)の膜厚は薄いことが好ましいが、その膜厚が50Åより薄くなれば、表層部分(9-2)の不純物を被覆する第2Si層(9-3)の被覆効果は十分ではない。第2Si層の膜厚は50Å特に100Åより厚いことは、より好ましい。SiGe層の欠陥密度は5000個/cm<sup>2</sup> 以下であることが好ましい。第2Si層の膜厚とSiGe層(9-4)の欠陥密度とは、相関的である。第2Si層(9-3)の膜厚が100Åより厚くSiGe層の欠陥

密度が1000個/cm<sup>2</sup>以下であることがより好ましい。

【0017】本発明による電力変換器は、このような半導体基板をベースとして含むトランジスタを用いられ、スイッチ式電源、モータ駆動電源、インバータ、同期整流器、RF電源を要素として含む集合から選択される要素として好適に用いられる。

【0018】本発明による回転機械は、電磁誘導により電力の入出力を行うロータと、ロータに対して相対的に回転し電磁誘導により電力の入出力が行われるステータと、ロータに軸結合して電力の入出力を行う入出力軸と、入出力軸の電力制御を行う電力変換器とを含み、電力変換器は、既述の半導体を用いられているトランジスタのスイッチングにより電力を変換し、周知の回転機械として広く利用され得る。

【0019】本発明による半導体基板の製造方法は、真空容器(1)の中にSiが主成分であるSi基板(6)を導入するステップと、真空容器(1)の中でSi基板(6)の表層の不純物を被覆するSi層(11)を形成するステップと、Si層(11)にSiGe層(12)を形成するステップとから構成されている。第2Si層(11)の膜厚は、50Åより厚い。

【0020】真空容器(1)に導入する前のSi基板(6)を化学洗浄することは重要である。SiGe層(12)を形成後に、Si基板(6)を真空容器(1)から取り出すステップと、その取り出すステップの後に、Si基板(6)とSiGe層(12)との間の接合領域の側方露出面を洗浄するステップが更に追加されることが好ましい。この側面洗浄により、漏電が抑制される。接合領域の側方露出面を洗浄するステップは、ハイドロカーボンを洗浄し、酸化Geを除去することができる。ハイドロカーボンを洗浄するステップは、酸化Geを除去するステップに時間的に先行し、ハイドロカーボンを洗浄する洗浄液は、フッ化水素酸を含み、酸化Geを除去する洗浄液は硫酸を含むことが有効である。

【0021】

【発明の実施の形態】図に対応して、本発明による半導体基板を製造する製造装置は、構造的には、図11に示される公知の成膜装置と同じであり、真空ポンプが真空容器とともに設けられている。その真空容器1は、図1に示されるように、その中が真空ポンプ2により適正真空度に調整される。真空容器1の内部には、基板載置台3が配置されている。基板載置台3は、ヒータ4により温度調整自在に加熱される。真空容器1の中には、原料ガス5が導入される。Si基板6は、試料交換室7から開閉式通路8を介して交換自在に真空容器1に導入されて基板載置台3に載置される。Si基板6は、図7(a)に示されるように、前工程で既に製作されている。

【0022】図2は、本発明による半導体基板の実施の

形態を示している。その半導体基板9は、Siが主成分である既述のSi基板6に対応するSi層9-1と、Si層9-1の表面側にあるSi不純物層9-2を被覆するSi層表層部分被覆層9-3と、Si層表層部分被覆層9-3の表面側に形成されるSiGe層9-4とから形成されている積層構造である。

【0023】Si層9-1の表層部分のSi不純物9-2は、炭素である。表層の不純物部分9-2を被覆するSi層9-3の表層部位の不純物の密度は、表層部分9-2のその不純物密度より低い。このようなSi層表層部分被覆層9-3の表面側に積層されるSiGe層9-4とSi層表層部分被覆層9-3の接合領域は、本発明の課題を十分に解決することができる程度に、不純物の密度が抑えられ、SiGe層9-4の平坦性とその結晶性が優れている。

【0024】図3(a)、(b)は、本発明によるSiGe層9-4の表面の鏡面性と公知のSiGe層の表面とを示している。図3(b)は、本発明による半導体基板のSiGe層9-4の表面の鏡面性を示し、図3

(a)は、公知の半導体基板のSiGe層の非鏡面性を示している。本発明による半導体基板と公知の半導体基板との相違点は、本発明の半導体基板には被覆表層部分9-3が存在し、公知の半導体基板にはそれが存在しないことである。

【0025】図4は、本発明による半導体基板9を用いたトランジスタの性能と公知のトランジスタの性能とを比較した性能比較表を示している。本発明による半導体基板9を用いたトランジスタの耐圧は、280Vであり、公知のMOSFETの耐圧の75Vと公知のIGBTの耐圧の250Vを上回っている。本発明による半導体基板9を用いたトランジスタの電流は、20Aであり、公知のMOSFETの電流82Aを上回っている。公知のIGBTは、その電流が600Aであり本発明による半導体基板9を用いたトランジスタは、並列接続により600Aを達成することができる。

【0026】本発明による半導体基板9を用いたトランジスタの低ON電圧は、0.18Vであり、公知のMOSFETのON電圧0.7Vと公知のIGBTのON電圧1.2Vを下回っている。本発明による半導体基板9を用いたトランジスタのスイッチング速度は、20nsであり、公知のMOSFETのスイッチング速度62nsと公知のIGBTのスイッチング速度670nsを下回っている。本発明による半導体基板を用いたトランジスタの電力損失は、2.7Wであり(比較条件:20A-16kHz、50%デューティ)、公知のMOSFETの電力損失11.2Wと公知のIGBTの電力損失14.6Wを下回っていて、そのON電圧の低さとスイッチング速度の高速性により、本発明による半導体基板を用いたトランジスタは、公知のトランジスタに比較して、その電力低損失性の点で優れている。

【0027】図5は、駆動回路損失とスイッチング損失とON損失の量的比較を示している。損失の大半を占めるスイッチング損失とON損失の少なさを点で、公知のMOSFET比べて本発明に係るトランジスタは大幅に優れて改良されている。図6は、ON電圧とスイッチング時間の相関性を示し、スイッチ時間はON電圧に対して比例的に増大する。ON電圧とスイッチング時間の積に比例する電力損失の点で、本発明に係るトランジスタは、公知のIGBTと公知のMOSFETに比べて優れている。このような特性を持つ本発明に係るトランジスタは、エネルギーの低損失性により、省エネルギー効果、放熱効果、小型化効果に優れ、スイッチ式電源、モータ駆動電源、インバータ、同期整流器、RF電源のような電力変換器に好適に用いられる。

【0028】実施例1：Si基板6（既述のSi層9-1に相当）は、真空容器1に導入される前に、下記される既述のRCA法に依拠する手順の化学洗浄の処理を受ける。

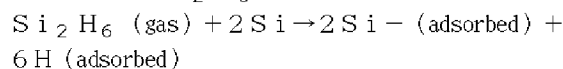
1. 数分間の超純水洗浄
2. 75°CのNH<sub>4</sub>OH、H<sub>2</sub>O<sub>2</sub>、H<sub>2</sub>Oの混合溶液（比率：1：2：7）中に数分以上の浸漬する。
3. 数分間の超純水洗浄
4. 室温の1%フッ酸に数分浸漬する。
5. 数分間の超純水洗浄
6. 室温のHCl、H<sub>2</sub>O<sub>2</sub>、H<sub>2</sub>Oの混合溶液（比率：1：2：7）中に数分以上浸漬する。
7. 数分間の超純水洗浄
8. 室温の1%フッ酸に数分浸漬する。
9. 数分間の超純水洗浄
10. 室温のH<sub>2</sub>SO<sub>4</sub>、H<sub>2</sub>O<sub>2</sub>、H<sub>2</sub>Oの混合溶液（比率：1：2：7）中に数分以上浸漬する。
11. 数分間の超純水洗浄
12. 回転乾燥

【0029】このような化学洗浄を受けたSi基板6が、基板載置台3に載置される。次に、真空容器1の内部に気圧が $1 \times 10^{-9}$  Torrになるまで真空ポンプ2により排気される。次に図7（b）に示されるように、900°Cで5分間の加熱がSi基板6に対して施され、公知技術と同様に、Si基板6の表面清浄化処理が行われる。この表面清浄化処理により、表面の酸素と炭素とが除去されるが、炭素の除去は十分には行われない。次に、Si基板6の温度は800°Cに設定される。Si基板6の温度が800°Cに設定されている真空容器1の内部に、Si<sub>2</sub>H<sub>6</sub>が $2 \times 10^{-4}$  Torrの圧力で1分間導入される。この1分間で、Si基板6の表面に、図7（c）に示されるように、300Åの積層Si膜11が積層されて形成される。

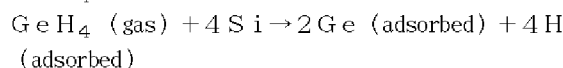
【0030】その後、真空容器1にシリコン系水素化合物ガスであるSi<sub>2</sub>H<sub>6</sub>と、ゲルマニウム系水素化合物ガスであるGeH<sub>4</sub>とが真空容器1に導入され、Si

基板6の温度は700°Cに設定される。Si<sub>2</sub>H<sub>6</sub>と、GeH<sub>4</sub>との圧力は、それぞれに、 $2 \times 10^{-4}$  Torrと、 $4 \times 10^{-5}$  Torrとに設定される。このような圧力と温度の条件の下で、Si<sub>2</sub>H<sub>6</sub>とGeH<sub>4</sub>とが下記式のように反応して、図7（d）に示されるように、SiGe膜12が積層Si膜11の上面に積層されて形成される。

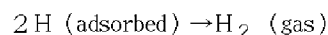
【0031】Si<sub>2</sub>H<sub>6</sub> adsorption:



GeH<sub>4</sub> adsorption:



Hdesorption:



【0032】Si<sub>2</sub>H<sub>6</sub>とGeH<sub>4</sub>の混合ガスの導入時間が10分である場合、SiGe膜12の膜厚は、概ね2000Åであり、SiGe膜12の膜中のGe濃度は概ね5%である。この膜厚とGe濃度は、歪みによる転位と積層欠陥が発生する条件範囲に入っていない。実際に得られる積層欠陥密度は、1cm<sup>2</sup>当たり数百個の程度であり、実用的に十分である結晶性が得られていて、炭素不純物による積層欠陥の発生は有効に回避されている。

【0033】図7（d）に示されるように、Si基板6の上面側に残存していた炭素不純物は、積層Si膜11に埋没して覆われている。積層Si膜11の表面側には炭素不純物が存在しないので、積層Si膜11とSiGe膜12には積層欠陥は発生していない。積層Si膜11が積層されずにSiGe膜12がSi基板6に直接に積層される比較例では、多数の積層欠陥が発生し、その密度は1cm<sup>2</sup>当たり数千〜数十万の範囲で観測された。

【0034】実施例2：既述の手順1〜12の化学洗浄の処理が行われる。表面清浄化処理は、実施例1と同じである。その後のSi基板6の温度の設定は、実施例1と同じである。Si<sub>2</sub>H<sub>6</sub>が $2 \times 10^{-4}$  Torrの圧力で導入される点は、実施例1と同じであるが、実施例2のSi<sub>2</sub>H<sub>6</sub>の導入の時間は、10秒〜3分の範囲で変化される。この範囲の時間による積層Si膜11の膜厚は、50〜900Åの間で変化する。

【0035】実施例2の混合ガスの導入条件とその導入時間とSi基板6の加熱温度条件は、実施例1のそれと同じである。実施例2のSiGe膜12の膜厚は2000Åであり、そのGe濃度は5%であり、実施例1のそれらと同じである。この膜厚とGe濃度は、歪みによる転位と積層欠陥が発生する条件の範囲には入っていない。積層Si膜11の厚みが50Å未満であれば、炭素不純物の影響と思われる積層欠陥が発生し、数千〜数十万個/cm<sup>2</sup>の範囲の高い密度が検出された。積層Si

膜11の厚みが100Å以上であれば、欠陥密度が1000個/cm<sup>2</sup>以下に再現性よく抑えられた。

【0036】Si層(Si層表層部分被覆層9-3を含む)とSiGe層との境界領域の側方露出面は、エッチングされ、次に、フッ化水素酸を含む洗浄液で洗浄され、更に、硫酸を含む洗浄液で洗浄され、その洗浄後に絶縁物質層で被覆されることが特に好ましい。SiGe/Si接合領域の側方露出面は、大気に触れて、自然に酸化される。側方露出面にはそのような自然酸化により、大気中から不純物(例示:ハイドロカーボン)と作業から出る金属(例示:Na, K)のイオンが混入し、更に、酸化されてGeO<sub>2</sub>が不純物として生じる。このような不純物は、漏れ電流の発生を招き、半導体基板の耐圧特性を低下させる。

【0037】フッ化水素酸は、そのような酸化物を除去する。このような洗浄処理により、その露出面の接合領域は、水素で終端される。フッ化水素酸による洗浄は、ハイドロカーボンを除去することが困難である。次の洗浄工程の硫酸溶液は、金属不純物と、ハイドロカーボンを溶解してその表面から除去する。この工程で、1nm程度の厚さで生じる酸化膜はSiO<sub>2</sub>であり、Geの酸化物GeO<sub>2</sub>は生じない。硫酸の影響により表層に存在するGe原子が酸化して生成されるGeO<sub>2</sub>は、硫酸溶液に溶けて、その表層に残存することはない。表面に生成するSi酸化物は不活性であり、その後の不純物吸着を効果的に抑制することができる。

【0038】図8は、SiGeトランジスタの積層構造を示している。n<sup>+</sup>Si基板21の表面側にn-Si層22が形成されている。n-Si層22の表面側にp-SiGe層23が形成されている。p-SiGe層23の表面側にn<sup>+</sup>Si層24が形成されている。n<sup>+</sup>Si層24は、エッチングにより横方向に分割されている。分割されて形成されるn<sup>+</sup>Si層要素25の表面にエミッタ電極が形成されている。隣り合うn<sup>+</sup>Si層要素25の間でp-SiGe層23の露出面にベース電極26が形成されている。コレクタ電極は、n<sup>+</sup>Si基板21の裏面側に形成される。

【0039】図9は、MOSFETの公知の積層構造である。本発明によるSiGe層を持つトランジスタの積層構造は、公知のMOSFETの公知の積層構造に比べて簡素であり、低コストの量産性に優れている。本発明によるSiGe層23には、Si層表層部分被覆層9-3が形成されている。p-SiGe層23の表面側に平

坦性が要求される場合には、Si層表層部分被覆層9-3は、n-Si層22とp-SiGe層23の間に形成される。電極形成方法は、格子型、櫛型、渦巻き型のよう形式に拘束されない。このようなトランジスタを用いた電力変換器は、フォークリフトのモータ、風力発電機のインバータとして好適に用いられる。

【0040】

【発明の効果】本発明による半導体基板、及び、半導体基板の製造方法は、これを用いた電子デバイス(例示:トランジスタとダイオード)において、高耐圧化を実現し、歩留まりを良くして製造費の面でコストを低減化し、低電力損の電力変換器を多様に実現することができる。

【図面の簡単な説明】

【図1】図1は、本発明による半導体基板を製造する製造装置を示す断面図である。

【図2】図2は、本発明による半導体基板の実施の形態を示す断面図である。

【図3】図3(a), (b)は、公知基板と本発明の基板の表面の状態をそれぞれに示す顕微鏡写真である。

【図4】図4は、性能比較を示す表である。

【図5】図5は、他の性能比較を示す表である。

【図6】図6は、更に他の性能比較を示す表である。

【図7】図7(a), (b), (c), (d)は、本発明による半導体基板の製造方法の実施の形態の手順をそれぞれに示す正面図である。

【図8】図8は、本発明による半導体基板を用いたトランジスタを示す断面図である。

【図9】図9は、公知のトランジスタを示す断面図である。

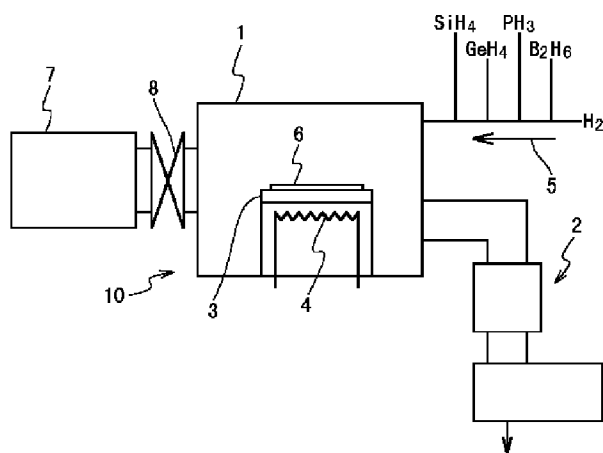
【図10】図10は、公知の他のトランジスタを示す断面図である。

【図11】図11は、公知の半導体製造装置を示す断面図である。

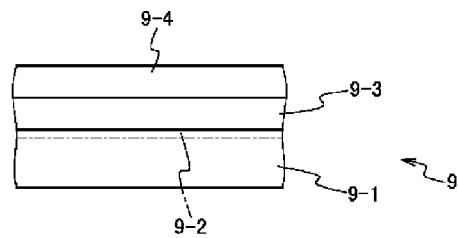
【符号の説明】

- 1…真空容器
- 6…Si基板
- 9-1…第1Si層
- 9-2…表層部分
- 9-3…第2Si層
- 9-4…SiGe層
- 11…Si層
- 12…SiGe層

【図1】



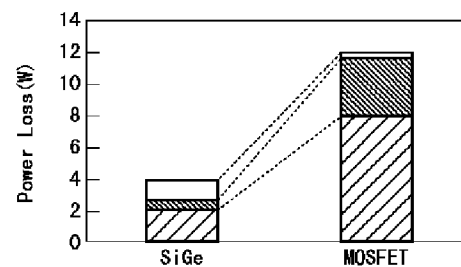
【図2】



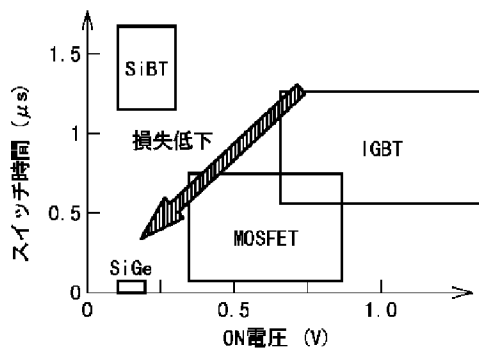
【図4】

SiGeの特徴		MOSFET	IGBT
高出力	耐圧 280V	75V 低損失型で 高耐圧化は困難	250V
	電流20A 並列接続で 600A化可能	82A	600A 大出力化は容易 だが、損失大
低ON電圧 0.18V		0.7V	1.2V
高速スイッチング 20ns		62ns	670ns
低損失(W)* 2.7W		11.2W	14.6W

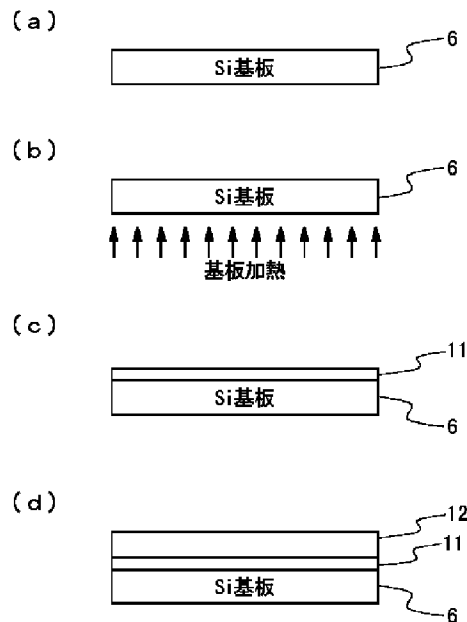
【図5】



【図6】

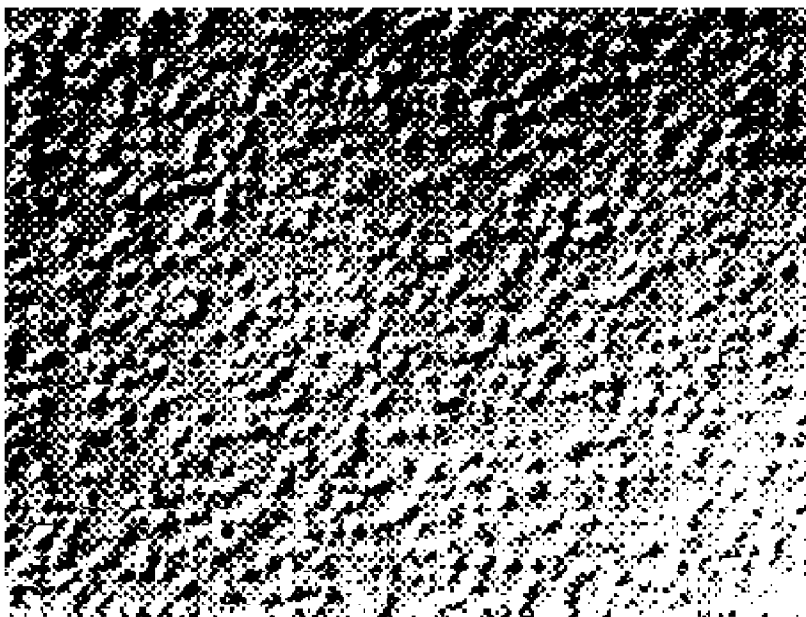


【図7】

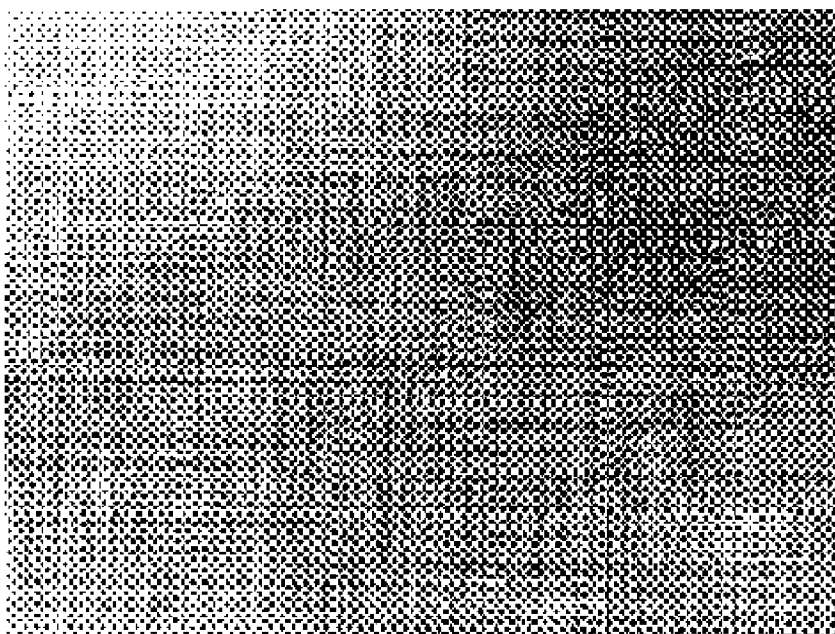


【図3】

(a)



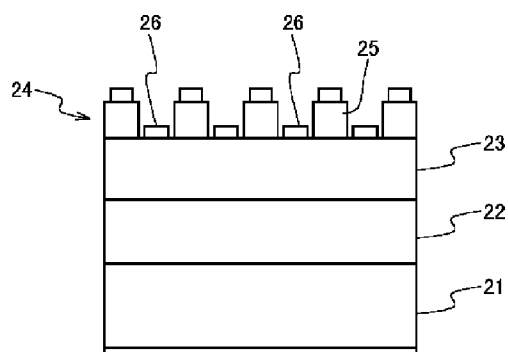
(b)



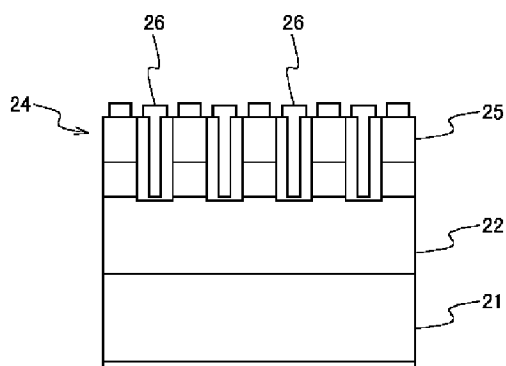
5 $\mu$ m

5 $\mu$ m

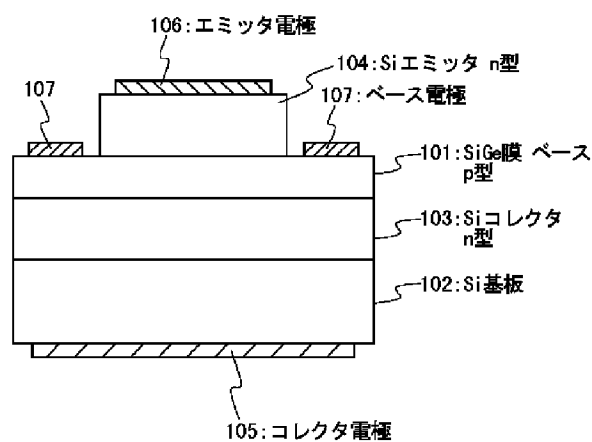
【图8】



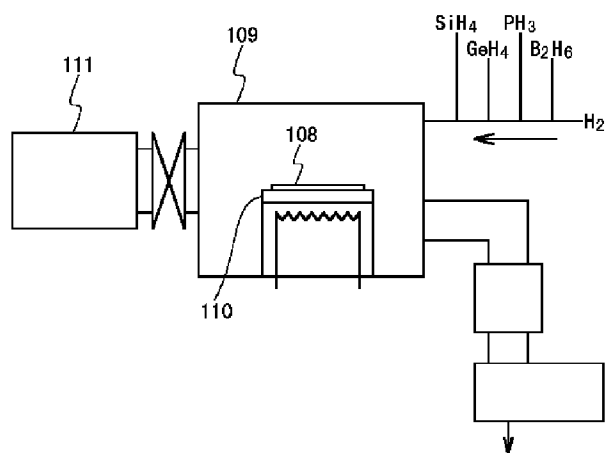
【图9】



【例 10】



【図 1 1】



フロントページの続き

F ターム(参考) 5F003 AP00 BF02 BF06 BG06 BM01  
BP31  
5F045 AA06 AB01 AB02 AC01 AD11  
AD12 AE13 AF03 BB12 BB19  
DA52 EB13 EB14 EK07 EN04  
HA22